



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0061812
Application Number

출 원 년 월 일 : 2003년 09월 04일
Date of Application SEP 04, 2003

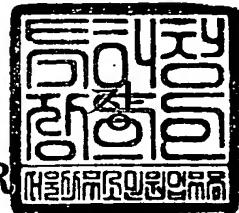
출 원 인 : 삼성전기주식회사
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 09 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.04
【발명의 명칭】	에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지 및 그 제조 방법
【발명의 영문명칭】	BGA package having semiconductor chip to possess metal pattern for edge bonding pad and manufacturing method thereof
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철, 이인실, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	김병찬
【성명의 영문표기】	KIM, Byoung Chan
【주민등록번호】	721027-1252416
【우편번호】	361-270
【주소】	충청북도 청주시 흥덕구 복대동 221-7 대원아파트 103동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	신영환
【성명의 영문표기】	SHIN, Young Hwan
【주민등록번호】	601104-1010418
【우편번호】	305-762
【주소】	대전광역시 유성구 전민동 엑스포아파트 510동 704호
【국적】	KR

【발명자】

【성명의 국문표기】

윤경로

【성명의 영문표기】

YOUN, Kyoung Ro

【주민등록번호】

660319-1055215

【우편번호】

305-728

【주소】

대전광역시 유성구 전민동 세종아파트 104동 804호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
청운특허법인 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

21 면 21,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

11 항 461,000 원

【합계】

511,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지 및 그 제조 방법에 관한 것으로서, 센터 본딩용 패드가 일면에 형성된 센터 본딩형 반도체 칩 상에 상기 센터 본딩용 패드에 전기적으로 연결되고, 상기 센터 본딩형 반도체 칩의 모서리 방향으로 연장되는 에지 본딩용 메탈 패턴을 형성하고, 상기 반도체 칩을 접착부재를 통하여 외부와의 전기적 접속을 위한 회로패턴이 형성된 기판상에 접착하고, 센터 본딩용 반도체 칩에 형성된 에지 본딩용 메탈 패턴과 기판의 회로패턴을 센터 본디용 반도체 칩의 모서리 영역에서 연결부재를 통하여 상호 기적으로 도통시키고, 상기 반도체 칩을 보호하기 위하여 상기 기판을 몰딩하여 패키지화 한 후, 상기 반도체 칩과 외부 기판과의 전기적 도통을 위하여 상기 기판의 회로패턴에 솔더 볼을 부착하여 BGA 패키지를 제작한다.

따라서, 본 발명은 웨이퍼 레벨 단계에서 센터 본딩용 패드가 형성된 센터 본딩형 반도체 칩의 모서리 영역으로 상기 센터 본디용 패드와 전기적으로 연결되는 에지 본딩용 메탈 패턴을 연장하여 형성하고, 상기 에지 본딩용 메탈 패턴을 이를 이용하여 에지 본딩 형태의 와이오 본딩을 수행함으로써, 다수개 이상의 반도체 칩에 대한 스택 구조가 가능하여 어셈블리 공정에서의 비용을 다운시킬수 있을 뿐만 아니라 고 밀도 메모리 (High density memory) 성능을 구현할 수 있는 효과를 제공한다.

【대표도】

도 7

1020030061812

출력 일자: 2003/9/20

【색인어】

BGA 패키지, 반도체 칩, 웨이퍼 단계, 메탈 패턴, 적층구조, 센터 본딩 패드, 에지 본딩 패드, 솔더볼

【명세서】**【발명의 명칭】**

에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지 및 그 제조 방법{BGA package having semiconductor chip to possess metal pattern for edge bonding pad and manufacturing method thereof}

【도면의 간단한 설명】

도 1은 종래의 센더 본딩 패드를 갖는 BGA 패키지의 구성을 도시한 단면도.

도 2는 종래의 금속패턴이 구비된 칩을 포함하는 센서패드형 BGA 패키지의 구성을 도시한 단면도.

도 3은 본 발명의 제 1 실시예에 따른 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 단층 구조의 BGA 패키지의 단면을 도시한 구성 단면도.

도 4는 본 발명에 따른 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하는 과정을 도시한 공정 순서도.

도 5는 본 발명의 제 1 실시예에 따른 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 단층 구조의 BGA 패키지 제조 방법에 대한 순서도.

도 6은 본 발명의 제 1 실시예에 따른 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하는 과정을 도시한 순서도.

도 7은 본 발명의 제 2 실시예에 따른 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 다층 구조의 BGA 패키지 구성을 도시한 단면도.

도 8은 본 발명의 제 2 실시예에 따른 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 다층 구조의 BGA 패키지 제조 방법에 대한 순서도.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 기판

11 : 회로패턴

20, 20' : 반도체 칩

21 : 센터 본딩용 패드

22: 스트레스 버퍼 레이어층(SBL)

23 : 포토 레지스트

24 : 마스크

25 : 금속 레이어층

26 : 에지 본딩용 메탈 패턴

27 : sawing선

30, 30' : 연결부재

40 : 밀봉부재

50 : 솔더볼

60 : 접착제

70 : 스페이서 내재형 접착부재

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지 및 그 제조 방법에 관한 것이다.

<19> 보다 구체적으로는, 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성한 후 이를 이용하여 에지 본딩 형태의 와이어 본딩을 수행하여 다수개 이

상의 반도체 칩을 스택 구조화하여 고 밀도 메모리(High density memory) 성능을 갖는 BGA 패키지 및 그 제조 방법에 관한 것이다.

<20> 일반적으로 사용되고 있는 BGA 패키지는 BGA 기판상에 실장되는 반도체 칩에 형성된 본딩 패드의 위치에 따라 센터 본딩 패드형 BGA 패키지와 에지 본딩 패드형 BGA 패키지 형태로 크게 분류된다.

<21> 이때, BGA 패키지는 반도체 제품의 칩 설계를 용이하게 하고 웨이퍼 상태에서 전기적 특성을 향상시키기 위하여 도1에 도시된 바와 같이 칩 패드가 반도체 칩 중심부에 위치하는 센터본딩 패드형 BGA 패키지가 일반적으로 사용된다.

<22> 도 1을 참조하여 종래 사용되고 있는 센터 본딩 패드를 갖는 BGA 패키지의 구성을 간단하게 설명하면, 칩(1)의 활성면의 중앙부근에 칩 패드(3)가 형성되고 비활성면에는 접착제(7)가 도포되어 있으며, 이 접착제(7)를 매개로 칩(1)과 기판(2)이 접착되어 있다. 기판(2)의 상면에는 기판패드(9)가 형성되고 하면에는 복수의 솔더패드(8)가 형성되고, 솔더패드(8)를 제외한 하면 전체에 포토솔더레지스터가 도포되어 있으며, 복수의 솔더패드(8)를 통해 복수의 솔더볼(5)들이 기판(2)에 부착되어 있다.

<23> 여기에 더하여, 칩 패드(3)와 기판패드(9) 사이에는 본딩 와이어(4)가 접합되어 있어 칩(1)과 기판(2) 간을 전기적으로 연결하고 있으며, 기판(2) 위의 칩(1)과 본딩 와이어(4)를 감싸 외부환경으로부터 이들을 보호하도록 성형수지(6)가 형성되어 있다.

<24> 이렇게 제조된 센터패드형 비지에이 패키지(100)는, 공정이 용이한 반면, 칩 패드(3)와 기판패드(9)간의 거리가 너무 멀어 길이가 긴 본딩 와이어(4)가 요구되고, 따라서 칩을 상기 성형 수지로 몰딩하는 경우 몰딩시의 압력에 의거하여 상기 본딩 와이어가 물

딩 방향으로 치우쳐서 칩의 에지부분에서 단락되는 스위핑이 쉽게 발생하는 등의 본딩 와이어(4)의 안정성에 문제가 있었다.

<25> 상술한 바와 같은 문제를 해결하기 위한 일 예로서, 대한민국 특허출원 제 10-2001-0052686호에 금속패턴이 구비된 칩을 포함하는 센서패드형 비지에이 패키지에 대한 기술적 사상이 공개되어 있다.

<26> 도 2를 참조하여 상기 "금속패턴이 구비된 칩을 포함하는 센서패드형 비지에이 패키지"의 구성을 설명하면, 활성면의 중앙부근에 칩 패드(33)가 형성되고 상기 칩 패드(33)의 좌우로 복수의 금속패턴(40)들이 형성된 칩(31), 상기 칩(31)의 비활성면에 도포된 접착제(37)를 통해 상기 칩(31)이 접착되면 상면에 기판패드(39)와 하면에 복수의 솔더패드(38)들이 형성된 기판(32), 상기 칩 패드(33)와 상기 복수의 금속패턴(40)간을 전기적으로 연결하는 제 1 본딩 와이어(341), 상기 복수의 금속패턴(40)과 상기 기판패드(39)간을 전기적으로 연결하는 제 2 본딩와이어(342), 상기 복수의 솔더패드(38)들을 통해 상기 기판(32)에 부착되는 복수의 솔더볼(35) 및 상기 기판(32) 위의 상기 칩(31)과 상기 제 1 본딩 와이어(341) 및 제 2 본딩 와이어(342)를 감싸도록 형성되는 성형수지(36)를 포함하여 구성되어 있다.

<27> 즉, 이와 같이 구성된 "금속패턴이 구비된 칩을 포함하는 센서패드형 비지에이 패키지"의 경우, 도 1에 도시된 바와 같은 센터 본딩 패드형 비지에이 패키지에 비해 본딩 와이어의 길이가 짧아져 본딩 와이어의 스위핑이 쉽게 발생하는 문제점이 해결될 수 있으나, 칩패드와 금속패턴 사이를 연결하는 제 1와이어 본딩으로 인하여 제조 공정이 복잡할 뿐만 아니라 쉽게 단선되는 문제점이 있었다.

<28> 또한, 상기 칩패드와 금속패턴 사이를 연결하는 제 1와이어 본딩으로 인하여 칩상에 또 다른 칩이 적층된 구조를 형성할 수 없고, 이에 의거하여 고밀도 메모리 성능을 갖는 BGA 패키지를 구현할 수 없다는 문제점을 또한 가지고 있었다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명의 목적은 상술한 바와 같은 문제점을 해결하기 위하여, 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성한 후 이를 이용하여 에지 본딩 형태의 와이어 본딩을 수행함으로써, 다수개 이상의 반도체 칩을 스택 구조화 하여 고 밀도 메모리(High density memory) 성능을 갖는 BGA 패키지 및 그 제조 방법을 제공하는 데 있다.

<30> 또한, 본 발명은 본 발명은 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하여 BGA 패키지함으로써, 와이어 본딩시 발생하는 단선 및 쇼트(Shortage)를 방지하여 제품에 대한 높은 신뢰성을 제공하는 BGA 패키지 및 그 제조 방법을 제공하는 데 있다.

<31> 또한, 본 발명은 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하여 BGA 패키지함으로써, 전기적 접속을 위한 와이어 본딩용 패드의 미세화(Fine)로 인한 반도체 칩의 제조 원가를 절감할 수 있는 BGA 패키지 및 그 제조 방법을 제공하는 데 있다.

<32> 이러한 목적을 달성하기 위한 본 발명에 따른 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지는, 전기적 접속을 위한 회로패턴이 형성된 기판과; 상기 기판상에 접착되고, 일면에 센터 본딩용 패드가 형성된 센터 본딩형 반도체칩과; 상기

반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 센터 본딩형 반도체 칩의 모서리 방향으로 연장된 에지 본딩용 메탈 패턴과; 상기 반도체 칩의 모서리 방향으로 연장된 상기 에지 본딩용 메탈 패턴과 상기 기판의 회로패턴을 전기적으로 연결하기 위한 연결부재와; 상기 반도체 칩을 보호하기 위하여 상기 기판을 몰딩하여 패키지화 하는 밀봉부재; 및 상기 반도체칩의 전기신호를 외부 기판으로 전달하기 위하여 상기 기판의 회로패턴과 전기적으로 접속되는 솔더 패드에 부착되는 솔더 볼을 포함하여 구성된 것을 특징으로 한다.

<33> 또한, 본 발명에 따른 에지 본딩용 메탈 패턴이 형성된 BGA 패키지는, 전기적 접속을 위한 회로패턴이 형성된 기판과; 상기 기판상에 접착되고, 일면에 센터 본딩용 패드가 형성된 센터 본딩형 제 1 반도체칩과; 상기 제 1 반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 제 1 센터 본딩형 반도체 칩의 모서리 방향으로 연장된 에지 본딩용 메탈 패턴과; 적층(Stack)구조를 형성하기 위하여 상기 제 1 반도체칩상에 도포되는 소정의 접착부재와; 상기 소정의 접착부재를 개재하여 상기 제 1 반도체 칩상에 적층되고, 일면에 센터 본딩용 패드가 형성된 센터 본딩형 제 2 반도체칩과; 상기 제 2 반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 제 2 센터 본딩형 반도체 칩의 모서리 방향으로 연장된 에지 본딩용 메탈 패턴과; 상기 제 1 및 제 2 반도체 칩의 에지 본딩용 메탈 패턴과 상기 기판의 회로패턴을 전기적으로 각각 연결하기 위한 연결부재와; 상기 제 1 및 제 2 반도체 칩을 보호하기 위하여 상기 기판을 몰딩하여 패키지화 하는 밀봉부재; 및 상기 제 1 및 제 2 반도체칩의 전기신호를 외부 기판으로 전달하기 위하여 상기 기판의 회로패턴과 전기적으로 상호 접속되는 솔더 패드에 부착되는 솔더볼을 포함하여 구성된 것을 특징으로 한다.

【발명의 구성 및 작용】

<34> 이하, 첨부된 도면을 참조하여 본 발명에 따른 웨이퍼 레벨 단계에서 형성된 에지 본딩용 메탈 패턴을 갖는 반도체 칩을 구비한 BGA 패키지 및 그 제조 방법에 대하여 상세하게 설명한다.

<35> 여기서, 도 3는 본 발명의 제 1 실시예에 따른 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 단층 구조의 BGA 패키지의 구성을 도시한 단면도이고, 도 4a 내지 도 4i는 본 발명에 따른 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하는 과정을 도시한 공정 순서도이고, 도 5는 본 발명의 제 1 실시예에 따른 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 단층 구조의 BGA 패키지 제조 방법에 대한 흐름도이고, 도 6은 본 발명에 따른 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하는 과정을 도시한 순서도이다.

<36> 먼저, 도 3를 참조하여 본 발명의 일실시예에 따른 단층 구조를 갖는 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지의 구성을 상세하게 설명한다.

<37> 제 1 실시예

<38> 본 발명의 제 1 실시예에 따른 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 단층 구조의 BGA 패키지는, 도 3에 도시된 바와 같이, 기판(10), 반

도체 칩(20), 연결부재(30), 밀봉부재(40), 솔더 볼(50) 및 접착제(60)를 포함하여 구성된다.

<39> 여기서, 기판(10)은 외부와의 전기적 접속을 위한 회로패턴(11)이 형성된 리지드(Rigid) 또는 플렉서블(Flexible)한 형태를 갖는 BGA기판으로서, 소정의 접착부재(60)를 통하여 후술하는 에지 본딩용 메탈 패턴(26)이 형성된 센터 본딩형 반도체칩(20)을 일측면에 실장하고, 소정의 연결부재(30)를 통하여 상기 에지 본딩용 메탈 패턴(26)과 상기 회로패턴(11)이 전기적으로 연결되도록 구성되어 있다.

<40> 또한, 상기 기판(10)은 상기 회로패턴(11)과 전기적으로 연결되고, 또한 소정의 외부기판과의 전기 접속을 위한 솔더볼(50)이 부착되는 솔더패드(미도시)가 다른 일측면에 형성되어 있고, 상기 솔더패드에 부착되는 솔더볼(50)을 통하여 후술하는 반도체 칩(20)의 전기신호를 외부로 전달하도록 구성되어 있다.

<41> 반도체 칩(20)은, 도 4(i)에 도시된 바와 같이, 일면에 센터 본딩용 패드(21)가 형성된 센터 본딩형 반도체칩으로서, 웨이퍼 레벨 단계에서 소정의 방식, 예를 들면 스퍼터링에 의해 상기 반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 센터 본딩형 반도체 칩의 모서리 방향으로 연장되어 소정의 연결부재를 통하여 기판의 회로패턴과 전기적으로 연결되는 에지 본딩용 메탈 패턴(26)이 형성되어 있고, 접착제(60)를 통하여 상기 기판(10)상에 실장된다.

<42> 이후, 상기 반도체 칩(20)의 에지 본딩용 메탈 패턴(26)은 후술하는 연결부재(30)를 통하여 상기 기판(10)에 형성된 회로패턴(11)과 전기적으로 연결된다.

<43> 여기서, 도 4a 및 도 4c를 참조하여 웨이퍼 단계에서 상기 반도체 칩상에 구현되는 에지 본딩용 패드를 위한 에지 본딩용 메탈 패턴(26)의 형성 과정을 상세하게 설명한다.

<44> 먼저, 센터 본딩 패드(21)가 중앙에 형성된 센터 본딩용 반도체칩(20)을 에지 본딩 용 반도체 칩으로 구현하기 위하여, 도 4a에 도시된 바와 같은 센터 본딩 용 반도체칩 (20)으로 구성된 반도체 웨이퍼에 대한 패시베이션을 수행하여 반도체 웨이퍼에 대한 표면 안정화를 수행한다.

<45> 즉, 상술한 바와 같은 패시베이션은 반도체 웨이퍼의 표면 안정화를 위하여 인 처리를 수행하는 것으로서, 게터로서 반도체 웨이퍼의 산화막 표면에 P_2O_6 를 부착시켜 열처리 공정 중에 Na 이온이 웨이퍼의 산화막에 침입하는 것을 방지하여 웨이퍼 상에 형성된 반도체 칩을 보호하는 역할을 수행한다.

<46> 상술한 바와 같이 반도체 웨이퍼상에 패시베이션을 수행한 후, 도 4b에 도시된 바와 같이, 반도체 웨이퍼에 대한 스트레스 버퍼 레이어(SBL)(22)를 코팅한다.

<47> 여기서, 상기 스트레스 버퍼 레이어(SBL)(22)는 반도체칩(20)의 퓨즈 박스와 후술하는 메탈 레이어 상호간의 절연을 방지하고, 또한 와이어 본딩시에 반도체 칩의 데미지를 최소화 하는 역할을 수행한다.

<48> 상술한 바와 같이 반도체 웨이퍼상에 스트레스 버퍼 레이어(SBL)(22)를 코팅 처리한 후, 도 4c에 도시된 바와 같이, 반도체 칩(20)의 센터 본딩용 패드(21)를 오픈 시키기 위하여 상기 스트레스 버퍼 레이어(SBL)(22)상에 감광성 부재인 포터 레지스트(23)를 도포한다.

<49> 이후, 도 4d에 도시된 바와 같이, 상기 반도체 칩(20)의 센터 본딩용 패드(21)가 형성된 부분을 오픈시키기 위한 마스크 패턴이 형성된 마스크(24)를 상기 포토 레지스트(23)상에 코팅한다.

<50> 상술한 바와 같이 마스킹 처리를 수행한 후, 도 4e에 도시된 바와 같이, 마스킹 처리되지 않은 부분, 즉 상기 반도체 칩(20)의 센터 본딩용 패드(21)가 형성된 부분에 대한 노광을 수행하고, 상기 마스크(24)에 의해 마스킹 처리 되지 않아 노광된 부분에 대한 현상을 수행하여 마스킹 처리되지 않은 부분의 스트레스 버퍼 레이어(22) 및 포토 레지스트(23)를 제거한다.

<51> 상술한 바와 같이 마스킹 처리되지 않은 부분의 스트레스 버퍼 레이어(22) 및 포토 레지스트(23)를 제거한 후, 도 4f에 도시된 바와 같이, 마스크 처리되어 노광되지 않은 부분의 포토 레지스트(23)에 대한 박리를 수행하여 상기 반도체 칩(20)의 센터 본딩용 패드(21)를 오픈시킨다.

<52> 이후, 도 4g에 도시된 바와 같이, 상기 반도체 칩(20)상에 에지 본딩용 메탈 패턴을 형성하기 위하여 스퍼터링(sputtering)을 통하여 금속 레이어층(25)을 형성한다.

<53> 여기서, 상기 금속 레이어층(25)은 스퍼터링을 통하여 상기 반도체 칩(20)의 센터 본딩용 패드(21)와 전기적으로 연결되도록 구성된다.

<54> 상술한 바와 같이 반도체 칩(20)상에 금속 레이어층(25)를 형성한 후, 도 4h에 도시된 바와 같이, 상기 반도체 칩(20)에 형성된 센서 본딩용 패드(21)와 전기적으로 도통되는 소정 형상을 갖는 에지 본디용 패드로서의 역할을 수행하는 에지 본딩용 메탈 패턴(26)을 형성한다.

<55> 이를 보다 구체적으로 설명하면, 상기 금속 레이어층(25)에 대하여 포토 레지스트를 피복하고, 상기 포토 레지스트상에 에지 본딩용 메탈 패턴(26)을 형성하기 위한 회로 패턴이 형성된 마스크를 코팅한다.

<56> 이후, 상기 마스크에 의해 마스킹 처리되지 않은 부분의 포토 레지스트에 대한 노광을 수행하여 상기 노광된 부분의 포토 레지스트를 제거하고, 상기 제거된 포토레지스트 영역의 금속 레이어층(25)에 대한 에칭을 수행한다.

<57> 상술한 바와 같이 상기 제거된 포토레지스트 영역의 금속 레이어층(25)에 대한 에칭을 수행한 후, 상기 마스크에 의해 보호되어 노광되지 않은 부분에 잔류하는 포토 레지스트를 박리하여 도 4i 도시된 바와 같은 에지 본딩용 메탈 패턴(26)을 상기 반도체 칩(20)상에 형성한다.

<58> 여기서, 도 4i는 센터 본딩용 패드(21)로부터 반도체 칩의 에지 영역으로 연장된 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩의 상면도를 나타내고, 도면부호(27)는 웨이퍼상의 에지 본디용 메탈 패턴이 형성된 반도체칩을 독립된 하나의 반도체칩으로 절단하기 위한 소잉(Sawing)선을 나타낸다.

<59> 연결부재(30)는 상기 기판(10)에 실장된 반도체 칩(20)과 상기 기판(10)을 전기적으로 상호 연결시켜 주는 것으로서, 보다 구체적으로는 상기 기판(10)에 형성된 회로패턴(11)과 상기 기판(10)에 실장된 반도체 칩(20)에 형성된 에지 본딩용 패드 역할을 수행하는 에지 본딩용 메탈 패턴(26)을 상기 반도체칩(20)의 모서리 부분에서 상호 연결하여 전기적으로 도통시키는 역할을 수행한다.

<60> 여기서, 상기 연결부재(30)로서 일반적으로 전도성 와이어가 주로 사용되나 다른 연결 수단을 사용하여도 본 발명의 기술 사상을 달성할 수 있다는 점에 유의 하여야 한다.

<61> 밀봉부재(40)는 상기 기판(10)상에 실장된 반도체 칩(20)과 상기 기판(10) 및 상기 반도체 칩(20) 사이에 전기적으로 상호 도통시키는 역할을 수행하는 연결부재(30)인 전도성 와이어를 보호하는 역할을 수행한다.

<62> 여기서, 상기 기판(10)상에 실장된 반도체 칩(20)을 몰딩하는 밀봉부재(40)로는 주로 수지를 사용하고 있으나, 여기에 한정되지 않는다는 점에 유의 하여야 한다.

<63> 솔더볼(50)은 상기 기판(10)의 일측면에 형성된 솔더 패드(미도시)에 부착되어 구성된 것으로서, 상기 기판(10)에 실장된 반도체 칩(20)으로부터 나오는 전기신호를 외부 기판으로 전달하는 역할을 수행한다.

<64> 이를 보다 구체 적으로 설명하면, 상기 반도체 칩(20)에 형성된 에지 본딩용 패드로 사용되는 에지 본딩용 메탈 패턴(26)으로부터 소정의 전기 신호가 출력되는 경우, 상기 전기 신호를 상기 연결부재(30)를 통하여 상기 기판(10)에 형성된 회로패턴(11)으로 입력된다.

<65> 이후, 상기 회로패턴(11)으로 입력된 상기 전기 신호는 상기 회로패턴(11)과 전기적으로 도통된 솔더 패드로 입력되고, 상기 솔더 패드로 입력된 전기 신호는 상기 솔더 볼(50)을 통하여 외부기판으로 전달된다.

<66> 이하, 도 5를 참조하여 본 발명의 제 1 실시예에 따른 단층 구조를 갖는 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 단층 구조의 BGA 패키지 제조 방법을 상세하게 설명한다.

<67> 먼저, 센터 본딩용 패드(21)가 형성된 반도체칩(20)이 구현된 웨이퍼에 대한 패시베이션을 수행한다(S100).

<68> 즉, 반도체 칩(20)이 구현된 웨이퍼의 산화막 표면에 P_2O_6 를 부착하는 패시베이션 공정을 수행함으로써, 열처리 공정 중에 N_a 이온이 웨이퍼의 산하막에 침입하는 것을 방지하여 반도체 칩의 파손을 보호한다.

<69> 상술한 바와 같이 웨이퍼 표면에 대한 패시베이션을 수행한 후, 반도체 칩(20)의 퓨즈 박스와 금속 레이어층(25) 상호간의 절연을 수행하고, 또한 와이어 본딩시에 반도체 칩(20)의 데미지를 최소화 하기 위한 스트레스 버퍼 레이어(SBL)(22)를 웨이퍼 상에 코팅처리한다(S200).

<70> 이후, 상기 스트레스 버퍼 레이어(SBL)(22)가 형성된 웨이퍼에 대한 소정의 마스킹 공정을 통한 패터닝을 수행하여 상기 웨이퍼 상에 에지 본딩용 패드로 동작하는 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩(20)을 구현한다(S300).

<71> 이하, 도 6를 참조하여 웨이퍼상에 에지 본딩용 패드로 동작하는 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩(20)을 구현하는 과정(S300)을 상세하게 설명한다.

<72> 먼저, 상기 반도체 칩(20)의 센터 본딩용 패드(21)를 오픈 시키기 위하여 상기 스트레스 버퍼 레이어(SBL)(22)상에 감광성 부재인 포토 레지스트(23)를 도포한 후(S301),

반도체 칩(20)의 센터 본디용 패드(21)가 형성된 부분을 오픈 시키기 위한 마스크 패턴이 형성된 마스크(24)를 상기 포토 레지스트(23)상에 코팅한다 (S302).

<73> 상술한 바와 같이 상기 포토 레지스트(23)에 대한 마스킹 처리를 수행한 후, 상기 마스크에 의해 마스킹 처리되지 않은 부분인 센터 본딩용 패드(21)가 형성된 부분에 대한 노광을 수행한다(S303)

<74> 이후, 노광된 부분에 대한 현상을 수행하여 상기 반도체 칩(20)의 센터 본딩용 패드(21)가 형성된 부분의 포토 레지스트(23) 및 스트레스 버퍼 레이어(SBL) (22)를 제거한 후(S304), 상기 마스크(24)에 의해 마스킹 처리되어 노광되지 않은 부분의 포토 레지스트에 대한 박리를 수행하여 상기 반도체 칩(20)의 센터 본딩용 패드(21)를 오픈시킨다(S305).

<75> 상술한 바와 같이 상기 반도체 칩(20)의 센터 본딩용 패드(21)를 오픈시킨 후, 상기 반도체 칩(20)상에 소정의 증착방법인 스퍼터링을 통하여 에지 본딩용 메탈 패턴(26)을 형성하기 위한 금속 레이어 층(25)을 형성한다(S306).

<76> 이후, 상기 금속 레이어 층(25)에 대하여 감광 부재인 포토 레지스트를 도포한 후 (S307), 상기 포토 레지스트상에 에지 본딩용 메탈 패턴(26)을 형성하기 위한 회포 패턴이 형성된 마스크를 코팅한다(S308).

<77> 상술한 바와 같이 상기 포토 레지스트상에 마스크 처리를 한 후, 상기 마스크에 의해 마스킹 처리되지 않은 메탈 패턴이 형성되지 않는 부분에 피복된 포토 레지스트를 제거하고(S309), 상기 포터 레지스트가 제거된 부분에 형성된 금속 레이어 층(25)에 대한 에칭을 수행하여 상기 금속 레이어층(25)을 제거한다(S310).

<78> 이후, 상기 마스크에 의해 보호되어 노광되지 않은 부분에 잔류하는 포토 레지스트를 박리하여 에지 본딩용 메탈 패턴(26)을 상기 반도체 칩(20)상에 형성한다(S311).

<79> 상술한 바와 같이 웨이퍼상에 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩(20)을 구현한 후, 상기 메탈 패터닝 된 웨이퍼를 블레이드를 이용하여 소정 크기의 반도체 칩 사이즈로 소잉(Sawing)한다(S400).

<80> 이후, 소정 크기로 소잉(Sawing)된 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩(20)을 전기적 접속을 위한 소정 형상의 회로패턴(11)이 형성된 기판(10)상에 접착제(60)를 통하여 부착시킨다(S500).

<81> 상술한 바와 같이 상기 반도체 칩(20)을 기판(10)상에 부착시킨 후, 상기 반도체 칩(20)에 형성된 에지 본딩용 메탈 패턴(26)과 상기 기판(10)의 회로패턴(11)을 상기 반도체 칩(20)의 모서리 부분에서 상호 전기적으로 접속하기 위하여 소정의 연결부재(30), 즉 전도성 와이어를 통하여 상호 연결시킨다(S600)

<82> 이후, 상기 기판(10)상에 형성된 반도체 칩(20)을 보호하기 위하여 소정의 밀봉부재(40)인 수지를 사용하여 상기 기판에 대한 몰딩을 수행한 후(S700), 상기 기판(10)에 실장된 반도체 칩(20)의 전기 신호를 외부 기판으로 전송하기 위하여 상기 기판의 일측면에 형성된 전도성의 솔더 패드에 솔더볼(50)을 마운트 한다(S800).

<83> 이후, 상기 소정의 밀봉부재(40)로 몰딩된 상기 패키지화된 기판을 소정의 크기로 소잉(Sawing)하여 웨이퍼 레벨 기술을 이용한 에지 본딩용 메탈 패턴(26)이 형성된 BGA 패키지를 구현한다(S900).

<84> 이하, 도 7을 참조하여 본 발명의 일실시예에 따른 다층 구조를 갖는 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지의 구성을 상세하게 설명한다.

<85> 여기서, 도 7은 본 발명의 제 2 실시예에 따른 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 다층 구조의 BGA 패키지의 구성을 도시한 단도면이고, 도 8은 본 발명의 제 2 실시예에 따른 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 다층 구조의 BGA 패키지 제조 방법에 대한 흐름도이다.

<86> 여기서, 도 7은 2개의 반도체 칩이 적층된 구조를 갖는 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지에 대한 구성을 도시한 것으나, 2개 이상의 반도체 칩을 이용하여도 본 발명의 기술적 사상을 달성할 수 있다는 점에 유의 하여야 한다.

<87> 제 2 실시예

<88> 본 발명의 제 2 실시예에 따른 다층 구조를 갖는 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지는, 도 7에 도시된 바와 같이, 기판(10), 제 1반도체 칩(20) 및 제 2 반도체 칩(20'), 제 1 연결부재(30) 및 제 2 연결부재(30'), 밀봉부재(40), 솔더볼(50) 접착제(60) 및 접착부재(70)를 포함하여 구성된다.

<89> 여기서, 기판(10)은 외부와의 전기적 접속을 위한 회로패턴(11)이 형성된 리지드(Rigid) 또는 플렉서블(Flexible)한 형태를 갖는 BGA기판으로서, 접착제(60)를 통하여

후술하는 에지 본딩용 메탈 패턴(26)이 형성된 제 1 반도체 칩(20) 및 제 2 반도체 칩(20')을 일측면에 실장하고, 소정의 연결부재(30)(30')를 통하여 상기 제 1반도체 칩(20) 및 제 2 반도체 칩(20')에 형성된 에지 본딩용 메탈 패턴(26)과 상기 회로패턴(11)이 전기적으로 연결되도록 구성되어 있다.

<90> 여기서, 상기 기판(10)상에 실장된 상기 제 1 반도체 칩(20)과 상기 제 2 반도체 칩(20') 사이에는 스페이서가 함유된 비 전도성 접착부재(70)가 개재되도록 구성되고, 상기 스페이서가 함유된 비 전도성 접착부재(70)는 상기 반도체 칩(20)(20')의 밸런스를 유지시키는 역할을 수행한다.

<91> 또한, 스페이서가 함유된 비 전도성 접착부재(70)는 상기 제 1 반도체 칩(20')에 사용되는 소정의 연결부재(30)인 전도성 와이어와 제 2 반도체 칩(20') 사이의 쇼트(Shortage)를 방지하는 역할을 또한 수행한다.

<92> 상기 기판(10)은 상기 회로패턴(11)과 전기적으로 연결되고, 또한 소정의 외부기판과의 전기 접속을 위한 솔더볼(50)이 부착되는 솔더 패드가 다른 일측면에 형성되어 있고, 상기 솔더패드에 부착되는 솔더볼(50)을 통하여 후술하는 제 1 반도체 칩(20) 및 제 2 반도체 칩(20')의 전기신호를 외부로 전달하도록 구성되어 있다.

<93> 제 1 및 제 2 반도체 칩(20)(20')은, 제 1 실시예의 도 4(i)에 도시된 바와 같이, 웨이퍼 레벨 단계에서 소정의 방식, 예를 들면 스퍼터링에 의거하여 센터 본딩용 패드(21)와 전기적으로 접속되고, 반도체 칩(20)(20')의 모서리 영역으로 연장되어 형성된 에지 본딩용 메탈 패턴(26)이 형성되어 있다.

<94> 또한, 상기 제 1 및 제 2 반도체 칩(20)(20')은 접착제(60)를 통하여 상기 기판상에 실장된 후, 후술하는 연결부재(30)를 통하여 상기 에지 본딩용 메탈 패턴(26)이 상기 제 1 및 제 2 반도체 칩(20)(20')의 모서리 영역에서 상기 기판(10)에 형성된 회로패턴(11)과 전기적으로 연결되도록 구성된다.

<95> 여기서, 상기 제 1 및 제 2 반도체 칩(20)(20')에 구현되는 웨이퍼 레벨 단계에서의 에지 본디용 메탈 패턴(26)의 형성 과정은 본 발명의 제 1 실시예에서 상세하게 설명한 내용과 동일하므로, 이에 대한 상세한 설명은 생략한다.

<96> 제 1 및 제 2 연결부재(30)(30')는 상기 기판(10)에 실장된 제 1 및 제 2 반도체 칩(20)(20')과 상기 기판(10)을 전기적으로 상호 연결시켜 주는 것으로서, 보다 구체적으로는 상기 기판(10)에 형성된 회로패턴(11)과 상기 기판(10)에 실장된 상기 제 1 및 제 2 반도체 칩(20)(20')에 형성된 에지 본딩용 메탈 패턴(26)을 상호 연결하여 전기적으로 도통시키는 역할을 수행한다.

<97> 여기서, 상기 연결부재로서 일반적으로 전도성 와이어가 주로 사용되나 다른 연결수단을 사용하여도 본 발명의 기술 사상을 달성할 수 있다는 점에 유의 하여야 한다.

<98> 밀봉부재(40)는 상기 기판(10)상에 실장된 제 1 및 제 2 반도체 칩(20)(20')과, 상기 기판(10)과 상기 제 1 및 제 2 반도체 칩(20)(20') 사이에 전기적으로 상호 도통시키는 역할을 수행하는 제 1 및 제 2 연결부재(30)(30')인 전도성 와이어를 보호하는 역할을 수행한다.

<99> 여기서, 상기 기판(10)상에 실장된 제 1 및 제 2 반도체 칩(20)(20')을 몰딩하는 밀봉부재(40)로는 주로 수지를 사용하고 있으나, 여기에 한정되지 않는다는 점에 유의하여야 한다.

<100> 솔더볼(50)은 상기 기판(10)의 일측면에 형성된 솔더 패드에 부착되어 구성된 것으로서, 상기 기판에 실장된 제 1 및 제 2 반도체 칩(20)(20')으로부터 나오는 전기신호를 외부 기판으로 전달하는 역할을 수행한다.

<101> 이를 보다 구체 적으로 설명하면, 상기 제 1 및 제 2 반도체 칩(20)(20')에 형성된 에지 본딩용 메탈 패턴(26)으로부터 소정의 전기 신호가 출력되는 경우, 상기 전기 신호를 상기 제 1 및 제 2 반도체 칩(20)(20')에 각각 연결된 제 1 및 제 2 연결부재(30)(30')를 통하여 상기 기판(10)에 형성된 회로패턴(11)으로 입력된다.

<102> 이후, 상기 회로패턴(11)으로 입력된 상기 전기 신호는 상기 회로패턴(11)과 전기 적으로 도통된 솔더 패드로 입력되고, 상기 솔더 패드로 입력된 전기 신호는 상기 솔더 볼(50)을 통하여 외부기판으로 전달된다.

<103> 여기서, 본 발명의 제 2 실시예에서는 2층 구조를 갖는 BGA패키지의 구조에 대하여만 설명하였으나, 본 발명의 기술적 사상은 여기에 한정되는 것이 아니고 2층 이상의 다층 구조를 갖는 BGA패키지를 구성할 수 있다는 점에 유의하여야 한다.

<104> 이하, 도 8을 참조하여 본 발명의 제 2 실시예에 따른 다층 구조를 갖는 웨이퍼 단계에서 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지 제조 방법을 상세하게 설명한다.

<105> 먼저, 센터 본딩용 패드(21)가 형성된 반도체 칩(20)이 구현된 웨이퍼에 대한 패시베이션을 수행한다(S100).

<106> 즉, 반도체 칩이 구현된 웨이퍼의 산화막 표면에 P_2O_6 를 부착하는 패시베이션 공정을 수행함으로써, 열처리 공정 중에 N_a 이온이 웨이퍼의 산하막에 침입하는 것을 방지하여 반도체 칩의 파손을 보호한다.

<107> 상술한 바와 같이 웨이퍼 표면에 대한 패시베이션을 수행한 후, 반도체 칩(20)의 퓨즈 박스와 금속 레이어층(25) 상호간의 절연을 수행하고, 또한 와이어 본딩시에 반도체 칩의 데미지를 최소화하기 위한 스트레스 버퍼 레이어(SBL)(22)를 웨이퍼 상에 코팅 처리한다(S200).

<108> 이후, 상기 스트레스 버퍼 레이어(SBL)(22)가 형성된 웨이퍼에 대한 소정의 마스킹 공정을 통한 패터닝을 수행하여 상기 웨이퍼 상에 에지 본딩용 패드로 동작하는 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩(20)을 구현한다(S300).

<109> 여기서, 반도체 칩(20)상에 에지 본딩용 패드로 동작하는 에지 본딩용 메탈 패턴(26)의 형성 과정은 본 발명의 제 1 실시예에 기재되어 있으므로 이에 대한 상세한 설명은 생략한다.

<110> 상술한 바와 같이 웨이퍼상에 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩(20)을 구현한 후, 상기 메탈 패터닝된 웨이퍼를 블레드를 이용하여 소정 크기의 반도체 칩 사이즈로 소잉(Sawing)한다(S400).

<111> 이후, 소정 크기로 소잉된 에지 본딩용 메탈 패턴(26)이 형성된 제 1 반도체 칩(20)을 전기적 접속을 위한 소정 형상의 회로패턴(11)이 형성된 기판(10)상에 접착제(60)를 통하여 부착시킨다(S500).

<112> 상술한 바와 같이 상기 제 1 반도체 칩(20)을 기판(10)상에 부착시킨 후, 상기 제 1 반도체 칩(20)에 형성된 에지 본딩용 메탈 패턴(26)과 상기 기판(10)의 회로패턴(11)을 상기 제 1 반도체 칩(20)의 모서리 영역에서 소정의 제 1 연결부재(30), 즉 전도성 와이어를 통하여 상호 전기적으로 연결시킨다(S600).

<113> 이후, 다층의 BGA패키지를 구현하기 위하여 상기 제 1 반도체 칩(20)상에 스페이서가 함유된 비 전도성 접착부재(70)를 도포한 후(S700), 상기 비전도성 접착부재(70)를 개재하여 상기 제 1 반도체 칩(20)상에 제 2 반도체 칩(20')을 부착하여 적층(Stack)구조를 형성한다(S800).

<114> 여기서, 상기 기판(10)상에 실장된 상기 제 1 반도체 칩(20)과 상기 제 2 반도체 칩(20') 사이에 개재된 스페이서가 함유된 비 전도성 접착부재(70)는 상기 제 1 및 제 2 반도체 칩(20)(20')의 밸런스를 유지시키는 역할을 수행할 뿐만 아니라 상기 제 1 반도체 칩(20)에 사용되는 상기 제 1 연결부재(30)인 전도성 와이어와 제 2 반도체 칩(20') 사이의 쇼트(Shortage)를 방지하는 역할을 수행한다.

<115> 상술한 바와 같이 상기 제 1 반도체 칩(20)상에 스페이서가 함유된 비 전도성 접착부재(70)를 개재하여 상기 제 2 반도체 칩(20')을 적층시킨 후, 상기 제 2 반도체 칩(20')에 형성된 에지 본딩용 메탈 패턴(26)과 상기 기판(10)의 회로패턴(11)을 상기 제 2 반도체 칩(20')의 모서리 영역에서 소정의 제 2 연결부재(30'), 즉 전도성 와이어를 통하여 상호 전기적으로 연결시킨다(S900).

<116> 이후, 상기 기판(10)상에 형성된 제 1 및 제 2 반도체 칩(20)(20')을 보호하기 위하여 소정의 밀봉부재(40)인 수지를 사용하여 상기 기판(10)에 대한 몰딩을 수행한 후 (S1000), 상기 기판(10)에 실장된 제 1 및 제 2 반도체 칩(20)(20')의 전기 신호를 외부 기판으로 전송하기 위하여 상기 기판의 일측면에 형성된 전도성의 솔더 패드에 솔더볼 (50)을 마운트 한다(S1100).

<117> 이후, 상기 소정의 밀봉부재(400로 몰딩된 상기 패키지화된 기판을 소정의 크기로 소잉(Sawing)하여 웨이퍼 단계(Wafer level)에서 에지 본딩용 메탈 패턴(26)이 형성된 반도체 칩을 구비한 다층 구조의 BGA 패키지를 구현한다 (S1200).

【발명의 효과】

<118> 상기한 바와 같이, 본 발명에 따른 웨이퍼 레벨 기술을 이용한 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지 및 그 제조 방법에 따르면, 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성한 후 이를 이용하여 에지 본딩 형태의 와이오 본딩을 수행함으로써, 다수개 이상의 반도체 칩에 대한 스택 구조가 가능하여 어셈블리 공정에서의 비용을 다운시킬수 있을 뿐만 아니라 고 밀도 메모리 (High density memory) 성능을 구현할 수 있는 효과를 제공한다.

<119> 또한, 본 발명은 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하여 BGA 패키지함으로써, 전기적 접속을 위한 와이어 본딩용 패드의 미세화 (Fine)가 가능하여 웨이퍼 상에 구현되는 반도체 칩의 양산 개수를 증가시켜 반도체 칩의 제조 원가를 절감할 수 있는 효과를 제공한다.

<120> 또한, 본 발명은 웨이퍼 단계에서 센터 본딩용 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하여 BGA 패키지함으로써, 와이어 본딩시 발생하는 단선 및 쇼트(Shortage)를 방지하여 제품에 대한 높은 신뢰성을 제공하는 효과를 갖는다.

<121> 여기에서, 상술한 본 발명에서는 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경할 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

전기적 접속을 위한 회로패턴이 형성된 기판과;

상기 기판상에 접착되고, 일면에 센터 본딩용 패드가 형성된 센터 본딩형 반도체
칩과;

상기 반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 센터 본딩형 반도
체 칩의 모서리 방향으로 연장된 에지 본딩용 메탈 패턴과;

상기 반도체 칩의 모서리 방향으로 연장된 상기 에지 본딩용 메탈 패턴과 상기 기
판의 회로패턴을 전기적으로 연결하기 위한 연결부재와;

상기 반도체 칩을 보호하기 위하여 상기 기판을 몰딩하여 패키지화 하는 밀봉부재;
및

상기 반도체칩의 전기신호를 외부 기판으로 전달하기 위하여 상기 기판의 회로패
턴과 전기적으로 접속되는 솔더 패드에 부착되는 솔더 볼
을 포함하여 구성된 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체
칩을 구비한 BGA 패키지.

【청구항 2】

전기적 접속을 위한 회로패턴이 형성된 기판과;

상기 기판상에 접착되고, 일면에 센터 본딩용 패드가 형성된 센터 본딩형 제 1 반
도체칩과;

상기 제 1 반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 제 1 센터 본딩형 반도체 칩의 모서리 방향으로 연장된 에지 본딩용 메탈 패턴과; 적층 (Stack)구조를 형성하기 위하여 상기 제 1 반도체칩상에 도포되는 소정의 접착부재와;

상기 소정의 접착부재를 개재하여 상기 제 1 반도체 칩상에 적층되고, 일면에 센터 본딩용 패드가 형성된 센터 본딩형 제 2 반도체칩과;

상기 제 2 반도체칩의 센터 본딩용 패드에 전기적으로 연결되고, 상기 제 2 센터 본딩형 반도체 칩의 모서리 방향으로 연장된 에지 본딩용 메탈 패턴과;

상기 제 1 및 제 2 반도체 칩의 에지 본딩용 메탈 패턴과 상기 기판의 회로패턴을 전기적으로 각각 연결하기 위한 연결부재와;

상기 제 1 및 제 2 반도체 칩을 보호하기 위하여 상기 기판을 몰딩하여 패키지화 하는 밀봉부재; 및

상기 제 1 및 제 2 반도체칩의 전기신호를 외부 기판으로 전달하기 위하여 상기 기판의 회로패턴과 전기적으로 상호 접속되는 솔더 패드에 부착되는 솔더 볼을 포함하여 구성된 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 3】

제 2 항에 있어서, 상기 제 1 반도체 층에 도포되는 소정의 접착부재는, 상기 제 1 및 제 2 반도체 칩의 밸런스를 유지시키고, 상기 제 1 반도체 칩의 연결부재와 상기 제 2 반도체 칩 사이의 쇼트(Shortage)를 방지하는 스페이서가 함유된 비

전도성 접착제인 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 4】

제 1 항 또는 제 2항에 있어서,

상기 메탈 패턴은 전도성 금속을 스퍼터링하여 형성된 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 5】

제 1 항 또는 제 2 항에 있어서,

상기 연결부재는 전도성 와이어인 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 6】

제 1항에 있어서,

상기 연결부재는 상기 제 1 반도체 칩의 모서리 영역에서 상기 에지 본디용 메탈 패턴과 상기 기판의 회로패턴을 상호 연결하는 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 7】

제 2 항에 있어서,

상기 연결부재는 상기 제 1 반도체 칩 및 상기 제 2 반도체 칩의 각각의 모서리 부분에서 상기 에지 본딩용 메탈 패턴과 상기 기판의 회로패턴을 전기적으로 상호 연결하는 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 8】

제 1항 또는 제 2항에 있어서,

상기 밀봉부재는 합성수지인 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA패키지.

【청구항 9】

센터 본딩용 패드가 형성된 반도체 칩이 구현된 웨이퍼에 대한 패시베이션을 수행하는 단계;

상기 반도체 칩의 데미지를 최소화 하기 위하여 상기 웨이퍼상에 스트레스 버퍼레이어(SBL)를 생성하는 단계;

웨이퍼 레벨 단계에서 상기 반도체 칩상에 형성된 상기 센터 본딩용 패드를 에지 본딩용 패드로 구현하기 위한 에지 본딩용 메탈 패턴을 형성하는 단계;

상기 에지 본디용 메탈 패드가 형성된 상기 웨이퍼를 소정의 반도체칩 사이즈로 소잉(Sawing)하는 단계;

접착재를 사용하여 상기 반도체 칩을 기판상에 접착하는 단계;

상기 반도체칩에 형성된 에지 본딩용 메탈 패턴과 상기 기판에 형성된 회로 패턴을 상기 반도체칩의 모서리 영역에서 소정의 연결부재를 통하여 전기적으로 연결하는 단계;

상기 반도체칩을 보호하기 위하여 소정의 밀봉부재를 이용하여 몰딩하는 단계;

상기 반도체칩의 전기신호를 외부 기판으로 전달하기 위하여 상기 기판의 회로패턴과 전기적으로 접속되도록 구성된 솔더 패드에 솔더 볼을 부착하는 단계; 및

상기 솔더 볼이 부착된 기판을 소잉(sawing)하여 단층 구조의 BGA 패키지를 완성하는 단계

를 포함하여 구성된 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체
칩을 구비한 BGA 패키지 제조 방법.

【청구항 10】

센터 본딩용 패드가 형성된 반도체칩이 구현된 웨이퍼에 대한 패시베이션을 수행하는 단계;

상기 반도체칩의 데미지를 최소화 하기 위하여 상기 웨이퍼상에 스트레스 베퍼 레
이어(SBL)를 생성하는 단계;

웨이퍼 레벨 단계에서 상기 반도체 칩상에 형성된 상기 센터 본딩용 패드를 에지
본딩용 패드로 구현하기 위한 에지 본딩용 메탈 패턴을 형성하는 단계;

상기 에지 본딩용 메탈 패턴이 형성된 상기 웨이퍼를 소정의 반도체칩 사이즈로
소잉(Sawing)하는 단계;

접착제를 사용하여 상기 기판상에 제 1 반도체 칩을 접착시키는 단계;

상기 제 1 반도체칩에 형성된 에지 본딩용 메탈 패턴과 상기 기판에 형성된 회로
패턴을 상기 제 1 반도체칩의 모서리 영역에서 소정의 연결부재를 통하여 전기적으로 연
결하는 단계;

적층(Stack)구조를 형성하기 위하여 상기 제 1 반도체 칩상에 소정의 접착부재를
도포하는 단계;

상기 소정의 접착부재를 개재하여 상기 제 1 반도체 칩상 제 2 반도체 칩을 적층시키는 단계;

상기 제 2 반도체칩에 형성된 에지 본딩용 메탈 패턴과 상기 기판에 형성된 회로 패턴을 상기 제 2 반도체칩의 모서리 영역에서 소정의 연결부재를 통하여 전기적으로 연결하는 단계;

상기 제 1 및 제 2 반도체칩을 보호하기 위하여 소정의 밀봉부재를 이용하여 몰딩하는 단계;

상기 제 1 및 제 2 반도체칩의 전기신호를 외부 기판으로 전달하기 위하여 상기 기판의 회로패턴과 전기적으로 접속되도록 구성된 솔더 패드에 솔더볼을 부착하는 단계; 및

상기 솔더볼이 부착된 기판을 소잉하여 다층 구조의 BGA 패키지를 완성하는 단계를 포함하여 구성된 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지 제조 방법.

【청구항 11】

제 9항 또는 제 10항에 있어서, 상기 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하는 단계는,

상기 웨이퍼상의 스트레스 버퍼 레이어(SBL)상에 포토 레지스트를 코팅하는 단계; 상기 반도체 칩의 센터 본딩용 패드를 오픈시키기 위한 마스크 패턴이 형성된 마스크를 상기 포토 레지스트상에 코팅하는 단계;

상기 마스크에 의해 마스킹 처리 되지 않은 부분의 포토 레지스트 및 스트레스 버퍼 레이어에 대한 노광을 수행하는 단계;

상기 노광된 부분에 대한 현상을 수행하여 상기 포토 레지스트 및 스트레스 버퍼 레이어를 제거하여 상기 센터 본딩용 패드 부분을 오픈시키는 단계;

상기 마스크에 의해 보호된 상기 포토 레지스트를 박리한 후, 에지 본딩용 매탈 패턴을 형성하기 위한 금속 레이어를 형성하는 단계;

상기 금속 레이어상에 포토 레지스트를 코팅하는 단계;

상기 포토 레지스트상에 에지 본딩용 메탈 패턴을 형성하기 위한 회로패턴이 형성된 마스크를 코팅하는 단계;

상기 마스크에 의해 마스킹 처리되지 않은 부분의 포토 레지스트에 대한 노광을 수행하는 단계;

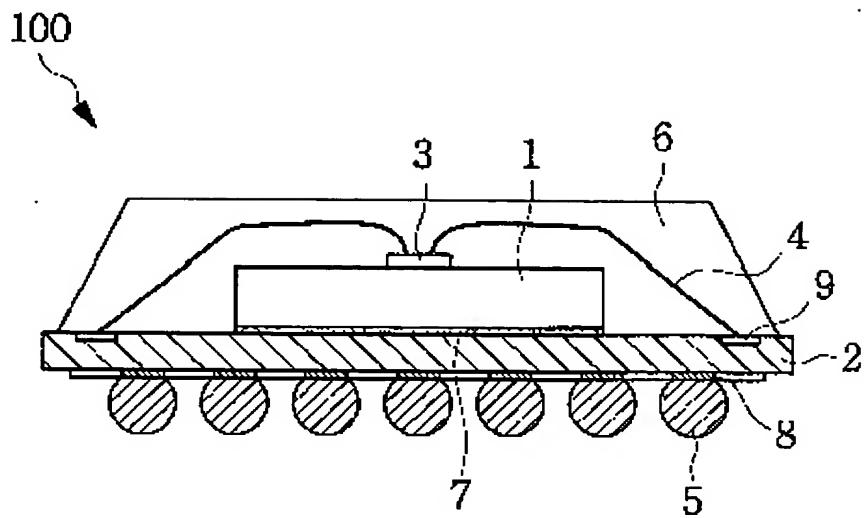
상기 노광된 부분의 포토 레지스트를 제거한 후, 상기 제거된 포토 레지스트 영역의 금속 레이어를 에칭하는 단계; 및

상기 마스크에 의해 보도된 상기 포토 레지스트를 박리하여 상기 반도체 칩상에 에지 본딩용 메탈 패턴을 형성하는 단계

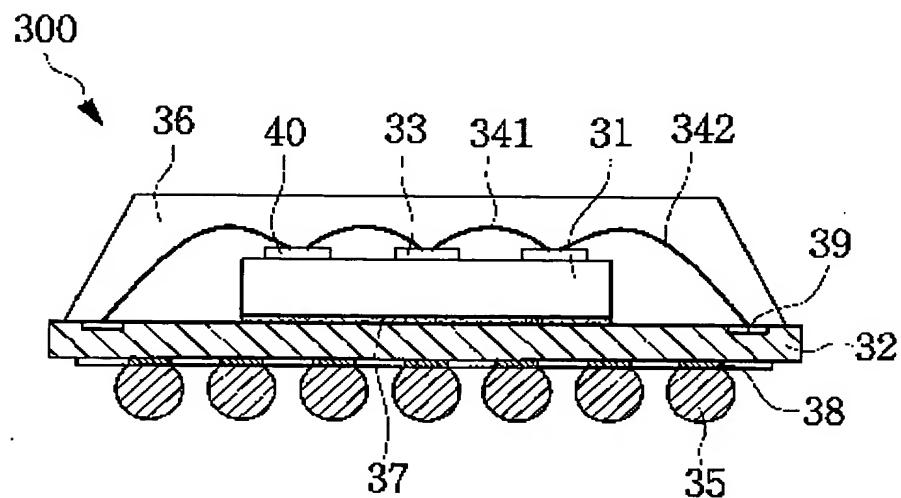
를 포함하여 구성된 것을 특징으로 하는 에지 본딩용 메탈 패턴이 형성된 반도체 칩을 구비한 BGA 패키지 제조 방법.

【도면】

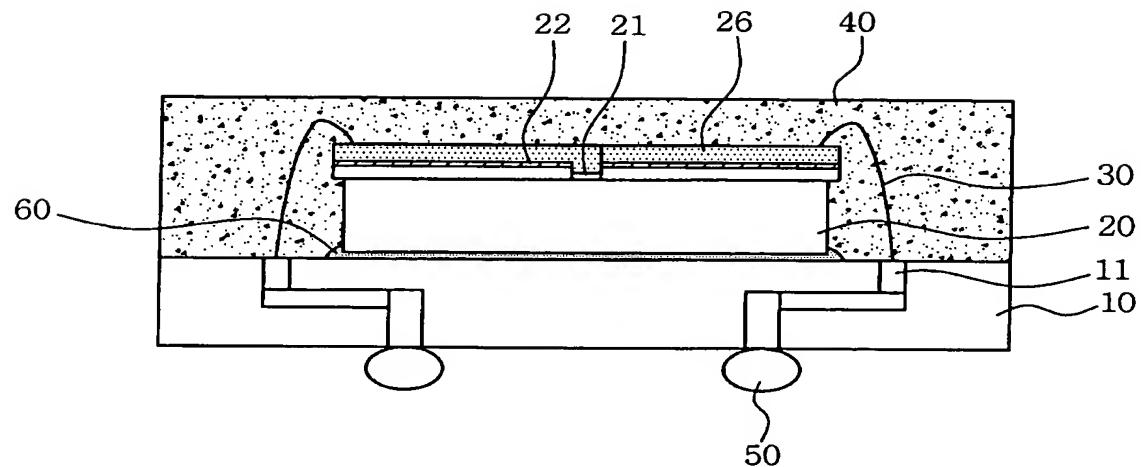
【도 1】



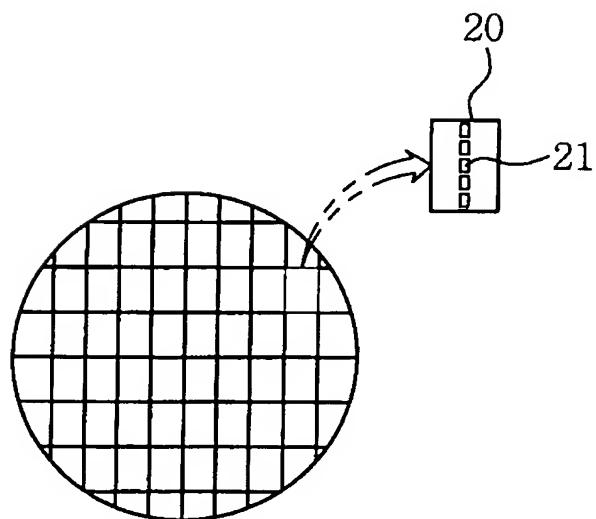
【도 2】



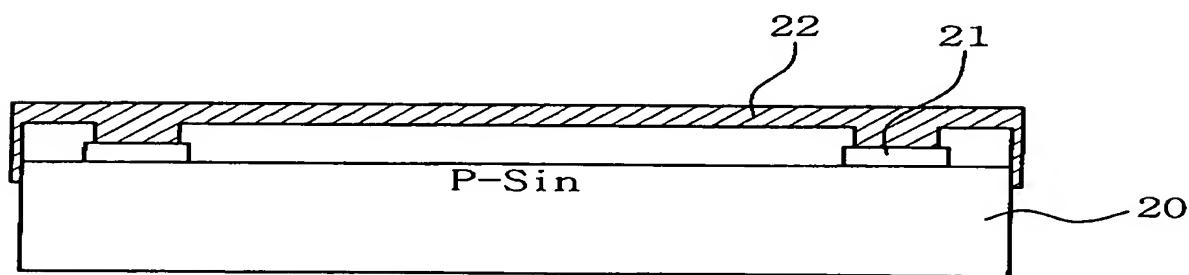
【도 3】



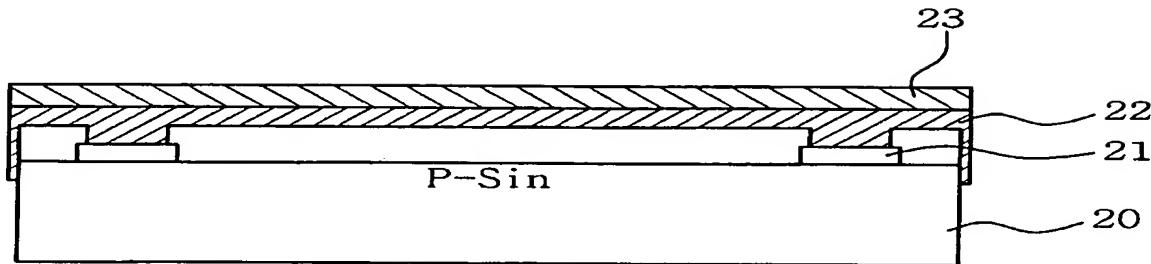
【도 4a】



【도 4b】



【도 4c】



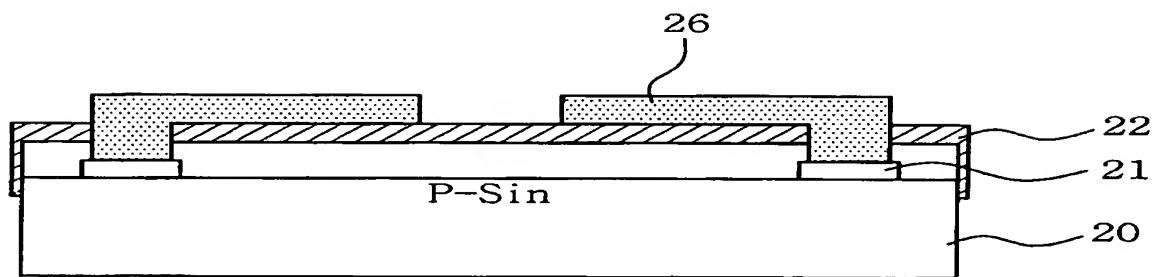
【도 4d】

【도 4e】

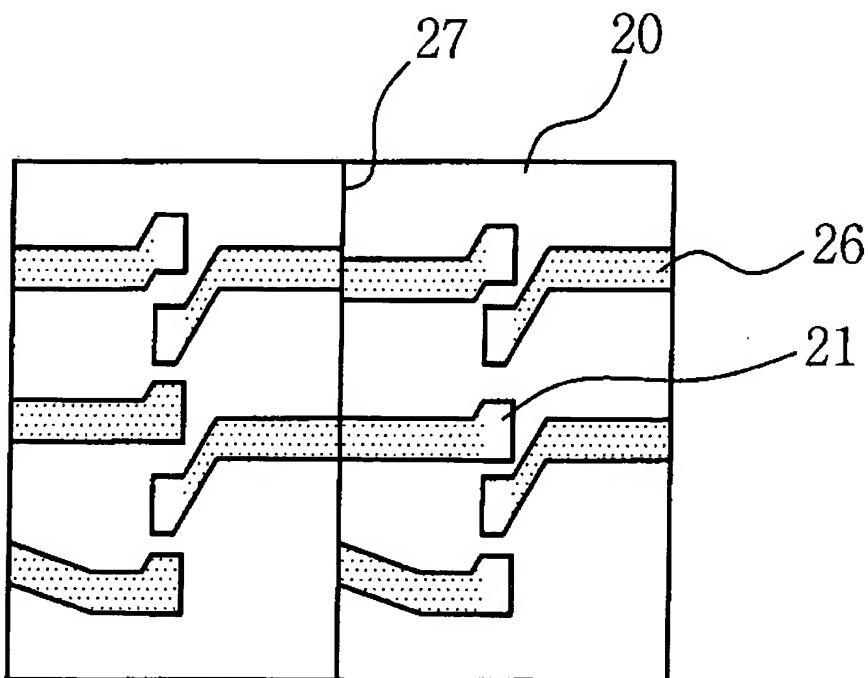
【도 4f】

【도 4g】

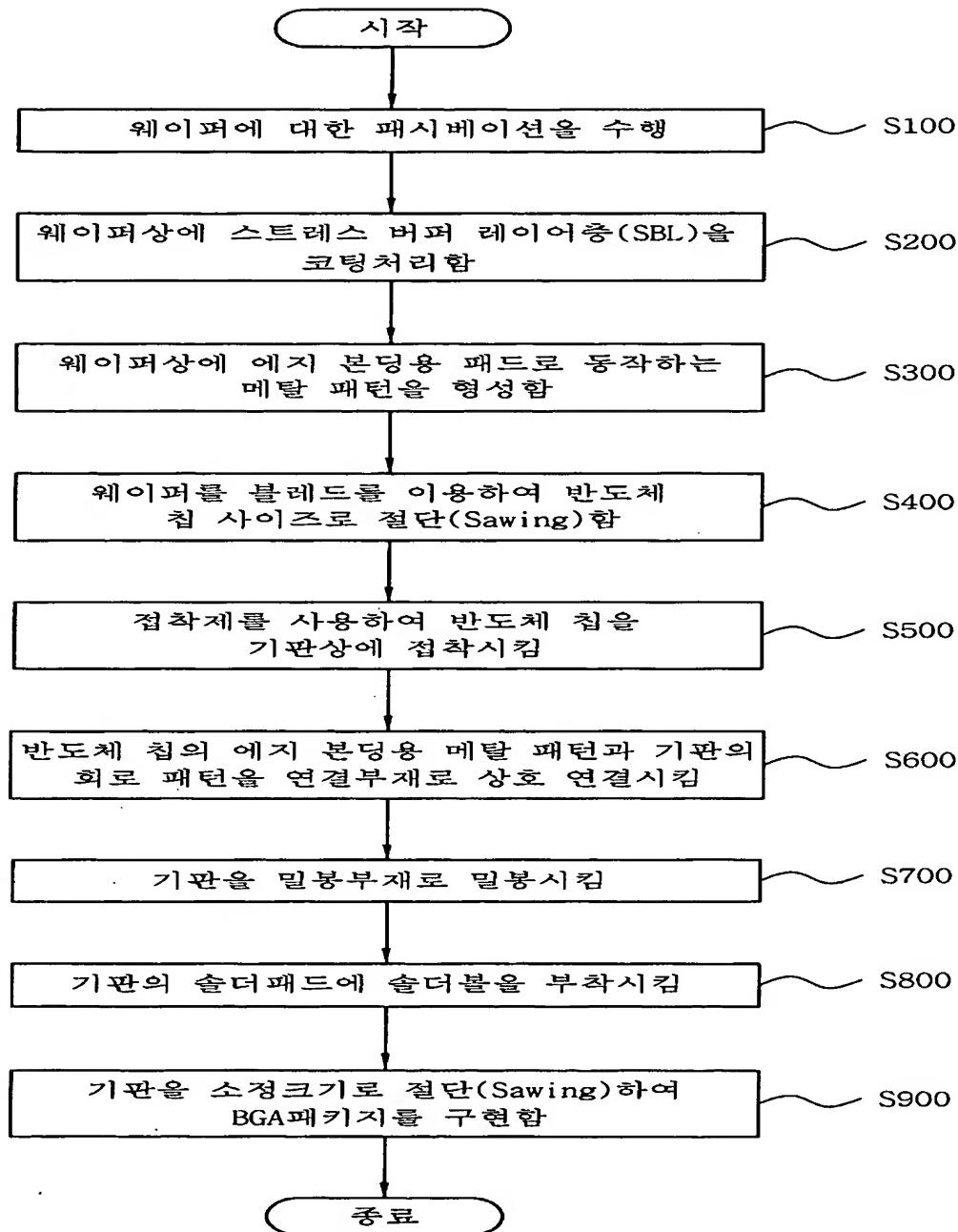
【도 4h】



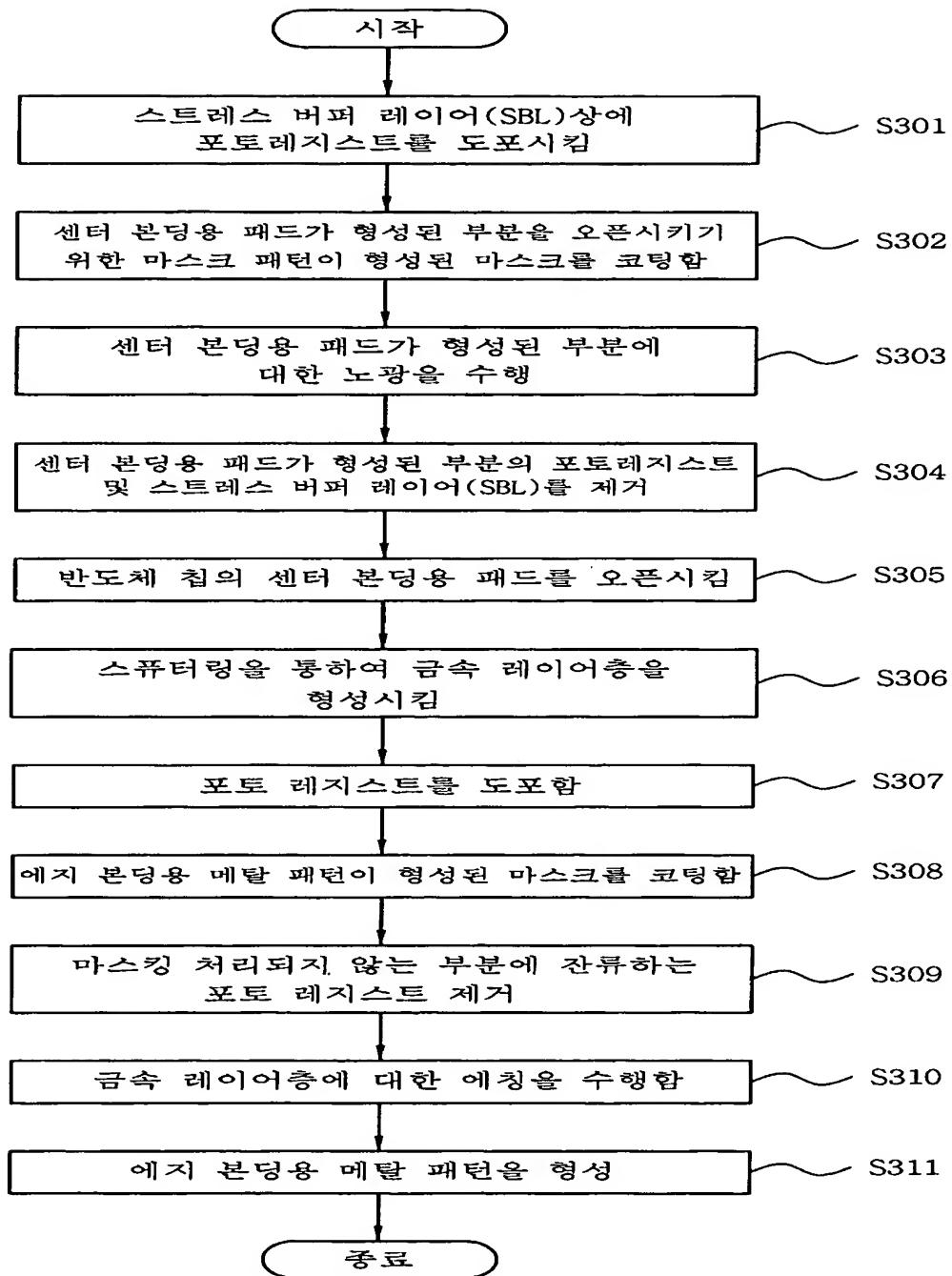
【도 4i】



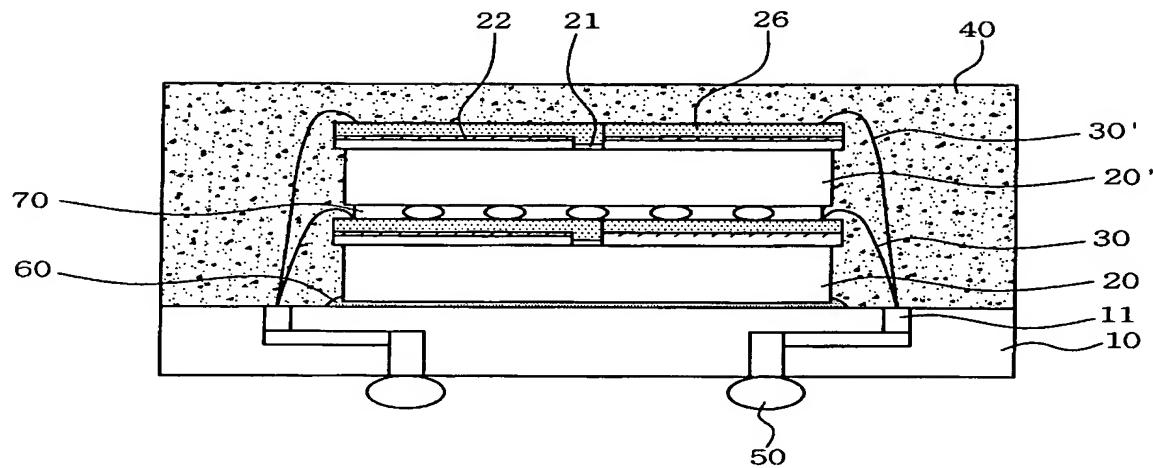
【도 5】



【도 6】



【도 7】



【도 8】

